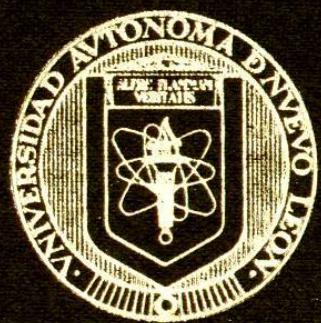


UNIVERSIDAD AUTONOMA DE NUEVO LEON

FACULTAD DE INGENIERIA MECANICA  
Y ELECTRICA

DIVISION DE ESTUDIOS DE POST-GRADO



DISEÑO LOGICO PROGRAMABLE

POR

ING. JUAN ANGEL GARZA GARZA

TESIS

EN OPCION AL GRADO DE MAESTRO EN  
CIENCIAS DE LA INGENIERIA ELECTRICA  
CON ESPECIALIDAD EN ELECTRONICA

CD. UNIVERSITARIA, JUNIO DE 1998

DISERGONOGRAZIA  
LOGICO PROGRAMMABILE

TM  
TJ223  
· P76  
G3  
C.1



1080080876

17165

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN

FACULTAD DE INGENIERIA MECANICA  
Y ELECTRICA

DIVISION DE ESTUDIOS DE POST GRADO



DISEÑO LÓGICO PROGRAMABLE

POR

EN OPCIÓN A INGENIERIA  
ING. JUAN ANGEL GARZA GARZA ENGENIERIA  
ELECTROCA CON ESPECIALIDAD EN ELECTRONICA

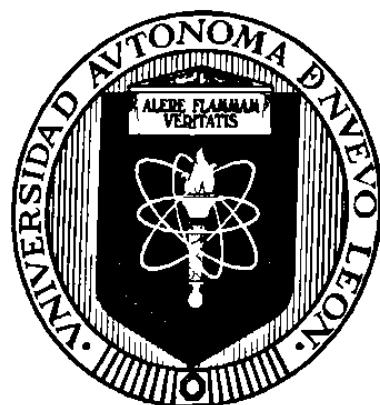
TESIS

QUE PRESENTA

EN OPCIÓN AL GRADO DE MAESTRO EN  
CIENCIAS DE LA INGENIERIA ELECTRICA  
CON ESPECIALIDAD EN ELECTRONICA

CD. UNIVERSITARIA, JUNIO DE 1998

**UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN**  
**FACULTAD DE INGENIERÍA MECÁNICA Y ELÉCTRICA**  
**DIVISIÓN DE ESTUDIOS DE POST-GRADO**



**DISEÑO LOGICO PROGRAMABLE**

**TESIS**

**EN OPCIÓN AL GRADO DE MAESTRO EN CIENCIAS DE LA INGENIERÍA  
ELÉCTRICA CON ESPECIALIDAD EN ELECTRÓNICA**

**QUE PRESENTA EL**

**ING. JUAN ANGEL GARZA GARZA**

**CD. UNIVERSITARIA**

**JUNIO DE 1998**

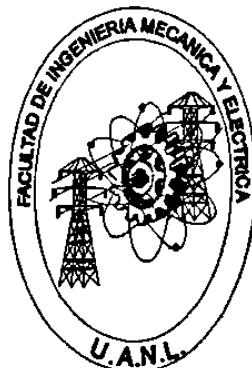
TA

TJ223

.P76

63

**UNIVERSIDAD AUTÓNOMA DE NUEVO LEÓN**  
**FACULTAD DE INGENIERÍA MECÁNICA Y ELÉCTRICA**  
**DIVISIÓN DE ESTUDIOS DE POST-GRADO**



**DISEÑO LOGICO PROGRAMABLE**

**TESIS**

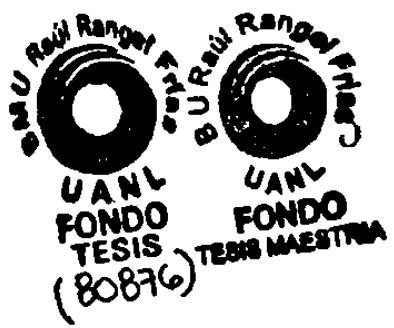
**EN OPCIÓN AL GRADO DE MAESTRO EN CIENCIAS DE LA INGENIERÍA  
ELÉCTRICA CON ESPECIALIDAD EN ELECTRÓNICA**

**QUE PRESENTA EL**

**ING. JUAN ANGEL GARZA GARZA**

**CD. UNIVERSITARIA**

**JUNIO DE 1998**



UANL  
FONDO  
TESIS  
(80876) TESIS MAESTRIA

**UNIVERSIDAD AUTONOMA DE NUEVO LEON  
FACULTAD DE INGENIERIA MECANICA Y ELECTRICA  
DIVISION DE ESTUDIOS DE POS-TGRADO**

Los miembros del Comité de Tesis recomendamos que la Tesis **DISEÑO LOGICO PROGRAMABLE**, realizada por el Ing. Juan Angel Garza Garza sea aceptada para su defensa como opción al grado de Maestro en Ciencias de la Ingeniería Eléctrica con especialidad en Electrónica.

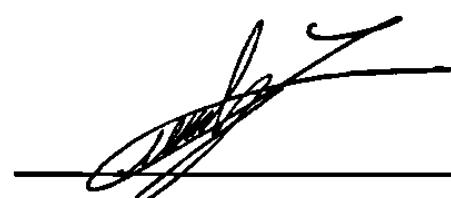
**El Comité de Tesis**



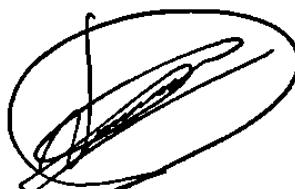
M.C. Luis Manuel Camacho Velázquez  
Asesor



M.C. Juan Diego Garza González  
Coasesor



M.C. Luis Manuel Martínez Villarreal  
Coasesor



Vo.Bo.  
M.C. Roberto Villarreal Garza  
División de Estudios de Pos-tgrado

San Nicolás de los Garza, N.L., Mayo de 1998

## **DEDICATORIA**

*A Marina mi Esposa, por su valiosa colaboración en todos los proyectos de mi vida, quien sin su gran ayuda jamas hubiéramos logrado lo que hasta ahorita tenemos.*

*A mis Hijos Juan Angel, Eduardo Nicolás y Jesús Daniel, que son el proyecto más hermoso de mi vida.*

*A mi Madre por contar siempre con su cariño y sus consejos.*

*A la memoria de mi Padre un maravilloso ejemplo de quien tengo gratos recuerdos y siempre estará entre nosotros.*

*A mis Hermanos María Guadalupe, Nicolás, Martha Alicia, Blanca Elena, Rocío y a mi Tío Juan Diego, por contar siempre con ellos en las buenas y en las malas.*

## **Agradecimientos**

*Al Ing. Castulo E. Vela Villarreal por el apoyo en la realización de esta tesis.*

*A mis Asesores M. en C. Luis Manuel Camacho Velázquez, M. en C. Luis Manuel Martínez Villarreal y M. en C. Juan Diego Garza González, por las sugerencias y observaciones realizadas a este trabajo.*

*A mi compañero y amigo Ing. Víctor Manuel Calderón González por su paciencia y valiosas aportaciones a este proyecto.*

*Al Lic. Julio Cesar Méndez, Prof. Román Guerrero, Diana Gallegos y Cristina E. García por sus contribuciones constructivas en la realización de este trabajo.*

## **Prólogo**

**Esta tesis trata sobre un tema que está en constante evolución y existe actualmente gran diversidad y una amplia información de los Dispositivos Lógicos Programables así como también acerca de las herramientas de programación.**

El propósito de desarrollar esta tesis es aportar un documento que contenga la información sobre los Dispositivos Lógicos Programables, Herramientas y Metodología de Diseño, que actualmente se utilizan como tecnología de punta los desarrolladores en la fabricación de equipos electrónicos y también pueda ser usada como material didáctico en el desarrollo de proyectos en el área de Electrónica Digital.

Los temas fueron desarrollados de tal manera que se pueda conocer la evolución del diseño lógico programable para conocer todas las etapas, desde los archivos de información de diseño generados a partir de un editor, hasta los Lenguajes de Descripción de Hardware.

**Ing. Juan Angel Garza Garza**

## **INDICE**

### **CAPITULO 1**

<b>Síntesis .....</b>	<b>1</b>
1.1 Síntesis.....	1

### **CAPITULO 2**

<b>Introducción.....</b>	<b>2</b>
2.1 Introducción .....	2
2.2 Objetivos.....	3
2.3 Metodología .....	3
2.4 Resumen Bibliográfico .....	4

### **CAPITULO 3**

<b>ASICS.....</b>	<b>5</b>
3.1 Antecedentes.....	5
3.2 Introducción a los ASIC .....	5
3.3 Opciones de diseño ASIC.....	8
3.3.1 Full-Custom (Diseño Sobremedida ).....	9
3.3.2 Celdas Estándar (Standard Cells). .....	10
3.3.3 Arreglo de Compuertas (Gate Arrays). .....	11
3.4 Lógica Programable. FPIC.....	12
3.4.1 PLDs.....	12
3.4.2 ASPLD .....	13
3.4.3 Microcontroladores .....	13
3.4.4 Memorias .....	13
3.4.5 FPGA.....	13

### **CAPITULO 4**

<b>PLDs.....</b>	<b>14</b>
4.1 Clases de PLDs: .....	14
4.1.1 PAL (Programmable Array Logic): .....	14
4.1.2 PROM (Programmable read only memory):.....	15
4.1.3 FPAL (Fiel Programmable Logic Array): .....	15
4.1.4 GAL (Generic logic Array):.....	15
4.2 Seguridad .....	18
4.3 Fusibles de Seguridad .....	18
4.4 Ventajas del uso de PALs.....	19
4.5 Limitaciones de los PALs.....	19

## CAPITULO 5

<b>HERRAMIENTAS PARA EL DISEÑO CON PALS .....</b>	<b>20</b>
5.1 Introducción .....	20
5.2 Archivos con la Información del Diseño.....	20
5.2.1 Símbolos y Operadores .....	20
5.3 Lenguajes de Descripción de Hardware .....	21
5.3.1 Introducción al VHDL.....	23
5.3.2 Historia de VHDL .....	23
5.3.3 Características del VHDL.....	25
5.3.4 Aplicaciones comerciales.....	26
5.4 Compiladores.....	29
5.4.1 JEDEC .....	30
5.4.2 Descripción del Compilador CUPL .....	32
5.5 Programadores .....	33
5.5.1 Características del programador SUPERPRO-III .....	34

## CAPITULO 6

<b>METODOLOGÍA DEL DISEÑO.....</b>	<b>36</b>
6.1 Metodología de Diseño .....	36
6.3 La selección del dispositivo lógico adecuado .....	38
6.4 Archivo de Diseño.....	39
6.5 Compilar .....	39
6.6 Programar.....	40
6.7 Verificación y Prueba .....	40

## CAPITULO 7

<b>APLICACIONES.....</b>	<b>41</b>
7.1 Ejemplo de Diseño Combinacional .....	41
7.1.1 Conceptualización del problema,.....	41
7.1.2 Selección del PLD .....	41
7.1.3 Archivo de Diseño.....	42
7.1.4 Compilar .....	44
7.1.5. Programar.....	48
7.1.6 Verificación y Prueba .....	49
7.2 Ejemplo de Sistema Secuencial .....	49
7.2.1 Conceptualización del problema.....	49
7.2.2 Selección del PLD .....	50
7.2.3 Archivo de Diseño.....	50
7.2.4 Compilar .....	52
7.2.5 Programar.....	57
7.2.6 Verificación y Prueba.....	57

## **CAPITULO 8**

<b>Conclusiones y Recomendaciones.....</b>	<b>58</b>
8.1 Conclusiones y Recomendaciones.....	58
<b>Indice de Figuras, Archivos y Tablas.....</b>	<b>60</b>
<b>Bibliografía:.....</b>	<b>61</b>
Bibliografía:.....	61
Enlaces a sitios de Internet relacionados con esta tecnología. ....	61
<b>Apendice A.....</b>	<b>62</b>
Nomenclatura generalizada de las PALs.....	62
Fabricantes de PALs y GALs.....	62
<b>Apendice B .....</b>	<b>63</b>
Datos del GAL16V8.....	63
<b>Glosario de Términos.....</b>	<b>72</b>
<b>Indice Alfabético .....</b>	<b>77</b>
<b>Resumen Autobiográfico .....</b>	<b>79</b>